

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-191368

(43)Date of publication of application : 30.10.1984

(51)Int.Cl.

H01L 27/04  
// H03K 13/02

(21)Application number : 58-065819

(71)Applicant : NEC CORP

(22)Date of filing : 14.04.1983

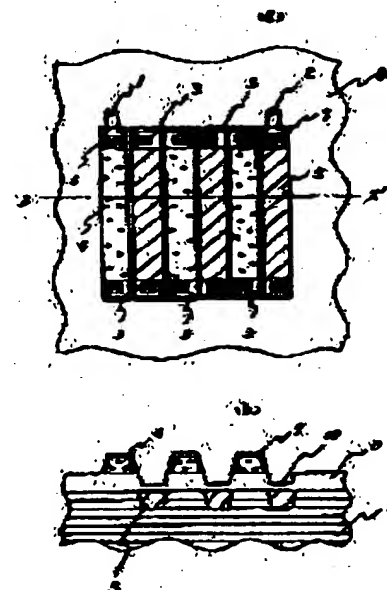
(72)Inventor : OGASAWARA KAZUO

## (54) SEMICONDUCTOR DEVICE

### (57)Abstract:

**PURPOSE:** To reduce the area of a semiconductor device largely by combining a diffusion layer as a first resistor layer and a polycrystalline silicon layer as a second resistor layer.

**CONSTITUTION:** Polycrystalline silicon single body resistors 4 formed on a thick oxide film 8 shaped on a silicon substrate 11 through thermal oxidation, etc. are patterned by using photoetching technique, etc., and oxide films 9 are formed through thermal oxidation, etc. Diffusion unit resistors 5 are shaped through the diffusion of an impurity or ion implantation through thin oxide films 10. Openings for polycrystalline silicon contacts 6 and diffusion-layer contacts 7 are bored, and the polycrystalline silicon resistors 4 and the diffusion unit resistors 5 are connected mutually by lead-out conductors 1 and 2 and mutual connecting conductors 3, thus constituting the titled semiconductor device.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C): 1998,2003 Japan Patent Office

5

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑯ 公開特許公報 (A)

昭59—191368

① Int. Cl.<sup>3</sup>  
H 01 L 27/04  
// H 03 K 13/02

識別記号

庁内整理番号  
P 8122—5 F  
7530—5 J

② 公開 昭和59年(1984)10月30日

発明の数 1  
審査請求 未請求

(全 3 頁)

④ 半導体装置

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑤ 特 願 昭58—65819  
⑥ 出 願 昭58(1983)4月14日  
⑦ 発 明 者 小笠原和夫

⑧ 出 願 人 日本電気株式会社  
東京都港区芝5丁目33番1号  
⑨ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称  
半導体装置

2. 特許請求の範囲

シリコン基板上に不純物により形成された拡散領域を第1の抵抗体群とし、前記シリコン基板上に形成された絶縁膜により前記第1の抵抗体群と分離された多結晶シリコンにより形成された第2の抵抗体群を有し、前記第1抵抗体群の間に第2抵抗体群をそれぞれ配置し、第1抵抗体群と第2抵抗体群を導体により相互接続したことを特徴とする半導体装置。

3. 発明の詳細な説明

本発明は抵抗回路網を備えてなる半導体装置に関するものである。

近年、半導体装置の応用分野の拡大はめざましいものがあり、従来個別部品、また回路技術を用

いて十分な精度が必要とされる分野へと急速に浸透している。

このような一例として、アナログ信号をデジタル信号に変換するアナログ・デジタル変換信号処理の分野について考えてみると、アナログ信号の如き時間連続信号をサンプリングすることにより時間離散信号(パルス振幅変調)となし、振幅を量子化することによりデジタル信号に変換することになる。このため、アナログ・デジタル変換回路には当然サンプル・ホールド回路が必要となる。

アナログ信号をある周期でサンプル・ホールドしデジタル信号に変換する際には、その変換系の精度を確保するための折り返し歪防止用フィルタを用いて入力されるアナログ信号の帯域制限が必要となる。

例えば4kHzのアナログ信号をデジタル信号信号に変換するときには、サンプリング定理により、サンプリング周期は125μsec(サンプリング周波数8kHzに相当)が最小周期となる。すなわち、折り返し歪をさけるためには、入力される

アナログ信号に対して帯域制限することが必要である。

この目的のため、半導体装置として用いられてきた技術は、多結晶シリコンまたは拡散抵抗を抵抗体として用い、絶縁膜を誘電体として用いた容量により、半導体基板上にCRフィルタを構成するのが通常であった。

CR時定数を大きくし、フィルタの動作周波数を低周波領域まで移すためには、抵抗体の抵抗値Rを大きくするが、容量Cを大きくするしかないことは明らかである。

従来、この目的のためには抵抗体の面積を大きくし抵抗値を大きくするか、絶縁膜を大きくするか、容量膜を大きくする等が考えられ、半導体面積を大きくすることが必要であった。これをさけるためには、多結晶シリコン拡散する不純物量を少なくした抵抗体が考えられるが、このような抵抗体のシート抵抗は非常に大きな値となり、この変動を制御するのは容易ではない。単位容量値を大きくすることは容量誘電体の膜厚を薄くす

れば可能であるが製造時の誤差を考えればおのずから単位面積当たりの容量を大きくすることに限界があった。

また、CMOS等で使用されるPウェル、Nウェル等の領域を用いた抵抗体も考えられるが、これらの抵抗体は電圧対抵抗値の係数が大きいこと、また結合容量が大きいこと、周波数特性が劣化する欠点を有していた。

本発明はかかる欠点のない、半導体面積を最小とし、バラツキの少ない抵抗体を複数の拡散抵抗との多結晶シリコンの単位抵抗体群を用いて構成することが可能となり、半導体装置の応用分野の拡大に非常に有効である。

以下に図面を用いて本発明の実施例を詳細に説明する。

本発明は第1抵抗体層とするべき拡散層と第2抵抗体層とするべき多結晶シリコン層を組合せることにより半導体装置の面積を大幅に減少させることを特徴とするものであり、本発明の第1の実施例の平面説明図と断面説明図を第1図(a)および

(b)にそれぞれ示す。第1図(a)は第1図(a)におけるXX'断面における断面図である。

第1図においてシリコン基板11の上に熱酸化等により形成された薄い酸化膜8上に形成された多結晶シリコン単位抵抗体4を写真蝕蝕技術等を用いてパターン化し熱酸化等で酸化膜9を形成する。薄い酸化膜10を通して、拡散単位抵抗体5を不純物拡散またはイオン注入により形成する。しかる後に多結晶シリコンコンタクト6および拡散層コンタクト7を開口し、引き出し導体1および2と相互接続導体3により前記多結晶シリコン抵抗体4と拡散単位抵抗体5を相互接続して構成した抵抗の一実施例である。

なお第1図の説明において多結晶シリコンに不純物拡散を行うのが通常であるが、行なわなくても良い。ただし、CR時定数を制御するためには不純物拡散を行うのが通常である。

第1図の如き構成とすることにより、従来多結晶シリコンを写真蝕蝕技術等を用いて形成する際に多結晶シリコンのひけ等による短絡を防ぐため

に必要とされる間隔が必要なくなり、半導体面積を大きくする必要がないことは明らかである。

また、拡散単位抵抗の間が多結晶シリコン単位抵抗層を形成するため、拡散単位抵抗間および多結晶シリコン単位抵抗間の短絡を防ぐため十分な間隔が確保されつつ同一面積内に約2倍の抵抗を作ることが可能となる。拡散単位抵抗と多結晶シリコン単位抵抗間は絶縁膜により分離されているため製造時のマスクずれに対しても短絡することはない。ただし拡散単位抵抗上にマスクずれにより多結晶シリコン抵抗体が重なると、多結晶シリコン抵抗体で拡散用不純物が逆拡散されてしまい、拡散単位抵抗の静電的な抵抗値が変化することになる。しかしこの効果も間隔によっては許容できるものであるし、若干の間隔を拡散単位抵抗と多結晶シリコン単位抵抗間に設けることにより解消できる。

なお本発明の第1の実施例は拡散単位抵抗と多結晶シリコン単位抵抗の本数をそれぞれ3本として説明したが、これは何本でも良いし、それぞれ

の単位抵抗の本数は同数かプラス・マイナス1本まで許容できるものである。

第2図(a)および(b)は本発明の第2の実施例の平面説明図および断面説明図をそれぞれ示す。第2図において第1図と同じ箇所は同じ番号を用いてある。

第2図と第1図の相異点はウェル領域21にある。ウェル領域としてはシリコン基板がp形の場合はpウェルを用い、シリコン基板がn形の場合はnウェルを用いるものである。このウェル領域21を導入することにより拡散層の不純物はシリコン基板と同じ形を使用する以外は本発明の第1の実施例と全く同じ構成であり同じ機能を有し、抵抗体の面積減小に非常に有効である。

以上図面を用いて2本発明の第1および第2の実施例につき説明した如く、本発明の実施例を用いれば、集積度の高く、精度の優れた半導体装置が実現でき、半導体装置の応用分野の拡大に有効である。

#### 4. 図面の簡単な説明

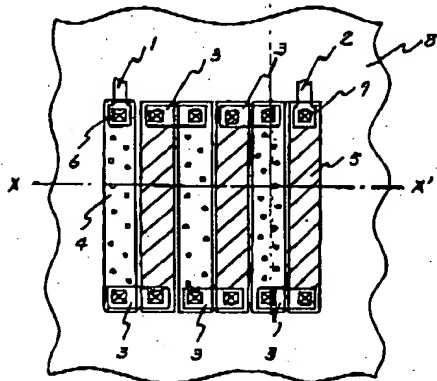
第1図(a)および(b)は本発明の第1の実施例の平面説明図および断面説明図、第2図(a)および(b)は本発明の第2の実施例の平面説明図および断面説明図をそれぞれ示す。

1、2……引き出し導体、3……相互接続導体、4……多結晶シリコン単位抵抗、5……拡散単位抵抗、6……多結晶シリコン・コンタクト、7……拡散コンタクト、8……酸化膜、9……多結晶シリコン酸化膜、10……薄い酸化膜、11……シリコン基板、21……ウェル領域。

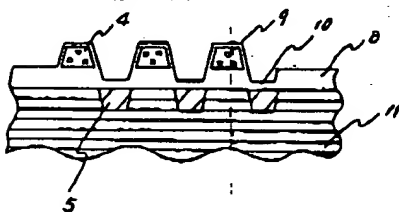
代理人 弁理士 内 原 啓



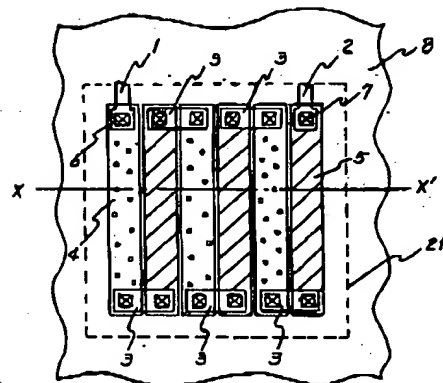
第1図(a)



第1図(b)



第2図(a)



第2図(b)

